

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-090962

(43)Date of publication of application : 21.04.1988

(51)Int.Cl. H04N 1/393

(21)Application number : 61-236269

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 06.10.1986

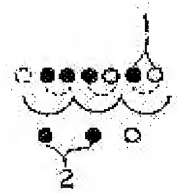
(72)Inventor : YAMAMOTO SUSUMU

(54) IMAGE REDUCING CIRCUIT

(57)Abstract:

PURPOSE: To obtain a satisfactorily reduced image by a simple circuit constitution, by determining a signal state by a decision of majority based on picture information of a three-picture element portion, in case of producing the picture information of a one-element portion from the picture information of a two-picture element or three-picture element portion.

CONSTITUTION: When a picture element which becomes an object of reduction consists of two picture elements, it becomes three picture elements by adding one adjacent picture element one picture element of them, and with regard to these picture elements a decision by majority of picture information is executed. That is to say, when the decision by majority is executed by a group of two picture elements each, four picture elements of the right side become a 'draw', and with regard to the picture element 2 which has been changed, a signal state cannot be determined. Therefore, as for such a picture element, a decision by majority is executed with regard to total three picture elements which added one adjacent element and they become picture elements after a change. In this case, even if the decision by majority is executed suddenly with regard to the three picture elements, the same result is obtained. In this way, a collapse of an image and an omission of picture information are minimized, and a satisfactorily reduced image can be obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-90962

⑤ Int.Cl.⁴
H 04 N 1/393

識別記号 庁内整理番号
7170-5C

⑬ 公開 昭和63年(1988)4月21日

審査請求 未請求 発明の数 2 (全7頁)

⑭ 発明の名称 画像縮小回路

⑮ 特 願 昭61-236269

⑯ 出 願 昭61(1986)10月6日

⑰ 発 明 者 山 本 進 埼玉県岩槻市大字岩槻1275番地 富士ゼロックス株式会社
岩槻事業所内

⑱ 出 願 人 富士ゼロックス株式会 東京都港区赤坂3丁目3番5号
社

⑲ 代 理 人 弁理士 山内 梅雄

明 細 書

1. 発明の名称

画像縮小回路

2. 特許請求の範囲

1. 各ラインを構成する画素の各々が2値の信号状態のいずれかをとり、画像の縮小率に応じて前記画素の総数を減少させる処理を行う画像処理装置において、画素の数の減少処理を行う箇所を指定する画素処理箇所指定手段と、この画素処理箇所指定手段によって指定された箇所における連続した3画素についてそれらの信号状態の多数決をとりこれにより決定された信号状態で変更後の画素の信号状態を決定する画素変更手段とを具備することを特徴とする画像縮小回路。

2. 画素変更手段は隣接した2画素を1画素に変更する際、前記2画素のいずれかと隣接する1画素を加えた3画素を用いて多数決により変更後の1画素の信号状態を決定することを特徴とする特許請求の範囲第1項記載の画像縮小回路。

3. 各ラインを構成する画素の各々が2値の信

号状態のいずれかをとり、画像の縮小率に応じて前記画素の総数を減少させる処理を行う画像処理装置において、画素の数の減少処理を行う箇所を指定する画素処理箇所指定手段と、この画素処理箇所指定手段によって指定された箇所の連続したN個の画素をこれより少ないM個の画素に変換する際、複数の連続した画素を1画素に減少させる1または複数の組み合わせでこれを実現することにし、それぞれについて多数決でその1画素の信号状態を決定する画素変換手段とを具備することを特徴とする画像縮小回路。

4. 画素変換手段は連続した奇数個の画素を1画素に変換する際にはこの奇数個の画素の信号状態について多数決をとり、偶数個の画素を1画素に変換する際には、それらの画素のいずれかと隣接する他の1画素を加えた画素の信号状態について多数決をとることを特徴とする特許請求の範囲第3項記載の画像縮小回路。

5. 多数決をとる画素変換手段は、一部の画信号を同数ずつの互いに反対の状態の信号に強制的

に固定させることによって、多数決の対象となる画信号の数を実質的に変更させることを特徴とする特許請求の範囲第4項記載の画像縮小回路。

3. 発明の詳細な説明

「産業上の利用分野」

本発明はファクシミリ装置や画像読取装置における場合のように、イメージスキャナで読み取った画信号等を基にして画像の縮小を行う画像縮小回路に関する。

「従来の技術」

例えばCCD(Charge Coupled Devices)等の読取素子を用いて1ラインずつ画像の読み取りを行う画像読取装置では、画像の出力を行う用紙サイズとの関係で画像の縮小を行うことがある。ライン方向(主走査方向)について画素数を減少させるために、従来から幾つかの方法が存在した。指定された6画素を3画素(50%)に減少させる場合を例にとり、これを説明する。なお、ライン方向に50%よりも緩やかな縮小を行う場合には、この50%の縮小の対象となる画素の割合を適宜

減少させればよい。

ところで第8図に示した方法では、6個の画素1を1つ置きに削除して、3個の画素2に変更する。ここで白丸は白色(地色)の画素を表わしており、黒丸は黒色(印字される色)の画素を表わしている。

これに対して第9図に示した方法では、6個の画素を隣接する2画素ずつのグループに分け、これら2画素ずつの論理和をとって3個の画素2に変換する。

「発明が解決しようとする問題点」

ところが前者の方法では、第8図に示した例によると黒の画素が白の画素よりも倍の数存在したものが、変換後にはその関係が逆転している。すなわち、この方法では無作為に画素の削除を行うので、有効な画情報が欠落してしまうという問題がある。

通常の文書では、白の画素に対して黒の画素の占める割合が少ない。そこで黒の画素情報をなるべく失わないようにしようとする考えがあり、第

9図に示した方法はこの考えに基づくものである。ところが第9図に示した例からも分かるように、この方法では黒の画素に挟まれた白の画素が脱落するおそれがあり、画像に潰れが発生する危険性がある。

そこで、本発明の第1の目的は、画像になるべく潰れが発生することなく、2画素ないしは3画素を1画素に変更することのできる画像縮小回路を提供することにある。

また本発明の第2の目的は、例えば7画素から4画素を捨てて3画素に変更するような場合にも、画情報の欠落を最小限に抑えることのできる画像縮小回路を提供することにある。

「問題点を解決するための手段」

第1の目的を達成するために第1の発明の画像縮小回路では、縮小の対象となる画素が2画素であった場合には、いずれかの画素に隣接した1画素を加えて3画素とし、これらの画素について画情報の多数決を採る。縮小の対象となる画素の数が3画素のときには、これに1画素を加えること

なく、多数決をとればよい。

第1図はこの第1の発明を説明するためのものであり、第8図に対応するものである。破線で表わした2画素ずつのグループで多数決を採ると、右側の4つの画素については“引き分け”となり、変更後の画素2について信号状態を決定することができない。そこで、このような画素については隣接する1画素を加えた合計3画素について多数決をとり、変更後の画素とする。この例の場合、3画素についていきなり多数決を採っても同じ結果が得られる。

同様に第2図は第9図に対応したものである。第9図に示した一番左側とその右隣の画素1、1に対する変更後の画素2は、破線で示した左隣に存在する画素の信号状態によって白の画素か黒の画素のいずれかに決定されることになる。

次に第2の目的を達成するための第2の発明における画像縮小回路には、(i)画素の数の減少処理を行う箇所を指定する画素処理箇所指定手段と、(ii)この画素処理箇所指定手段によって指

定された箇所の連続したN個の画素をこれより少ないM個の画素に変換する際、複数の連続した画素を1画素に減少させる1または複数の組み合わせでこれを実現することにし、それぞれについて多数決でその1画素の信号状態を決定する画素変換手段とを具備させる。そして連続した複数の画素から1画素を選択する際には前記した多数決の原理を用いることにする。

例えば第3図に示すように10個の画素1を3個の画素3に変更する場合には、3個の画素を1個の画素に減少させる方法を2回と、4個の画素を1個の画素に減少させる方法を1回採用し、それぞれについて多数決をとる。奇数個の画素については多数決で常に1画素の信号状態を決定できるが、偶数個の場合にはこれが決定できない場合がある。第3図に示した4個の画素の場合がそれである。このような場合には、これらの画素のグループに隣接する一方の画素を加えた奇数個の画素について多数決をとる。第3図に示した例では、左側に隣接した白丸の画素一つを加え、変更後の

画素3を白丸とした。

このように本発明によれば、画像の潰れや画情報の欠落を最小限にし、良好な縮小画像を得ることができる。

「実施例」

以下実施例につき本発明を詳細に説明する。

「第1の実施例」

第4図は第1の発明を説明するためのもので、本発明の第1の実施例における画像縮小回路の要部を表わしたものである。この画像縮小回路で入力端子11に供給される画信号12は第1のD・フリップフロップ13の入力端子D₁に供給される。第1のD・フリップフロップ13の出力端子Q₁は第2のD・フリップフロップ14の入力端子D₂に接続され、第2のD・フリップフロップ14の出力端子Q₂は第3のD・フリップフロップ15の入力端子D₃に接続されている。それぞれのD・フリップフロップ13～15の出力端子Q₁～Q₅は多数決回路16の3つの入力となる。またこれらのD・フリップフロップ13～15の

クロック入力端子CKには、他の入力端子17に供給されたクロック信号18が入力されるようになっている。従って、画信号12はクロック信号18に同期して1画素ずつD・フリップフロップ13～15にシフトされて取り込まれ、3画素分の信号状態が多数決回路16に供給されることになる。

一方、クロック信号18はインバータ回路19で論理を反転されてカウンタ回路21に供給される。このカウンタ回路21には、更に他の入力端子22に供給される線密度指定信号23が入力される。カウンタ回路21は線密度指定信号23の指定に基づいてクロック信号18を計数し、計数値データ24をシーケンス回路25に供給する。シーケンス回路25は例えばROM(リード・オンリ・メモリ)によって構成されており、線密度指定信号23と計数値データ24とをアドレス情報として3種類の制御信号の読み出しを行う。すなわち、カウンタ制御信号26はカウンタ回路21のクリアを行う。また縮小指示信号27はデ

ータセレクト28に供給されて、出力端子Q₁から出力される画信号29と多数決回路16から出力される多数決信号31との選択が行われる。シーケンス回路25から出力されるクロック無効信号32は、2入力アンド回路33に供給され、クロック信号18と論理積がとられる。

以上の結果として、データセレクト28からは縮小処理後の画信号34が出力され、アンド回路33からはこの画信号34を転送するための出力クロック信号35が出力される。2つの出力端子36、37に現われたこれらの信号34、35は、例えば図示しないプリンタに供給され、そのバッファメモリに蓄えられたのち、1ラインずつ記録されることになる。

第5図は、以上のような構成の画像縮小回路の動作例を説明するためのものである。同図aは第3図で入力端子11に供給されたクロック信号18の発生タイミングを表わしている。3つのD・フリップフロップ13～15の出力端子Q₁～Q₅からは、第5図b～dに示したように1画素

分ずつ遅延された画信号29、38、39が出力されることになる。多数決回路16はこれらの画信号29、38、39に対して、全区間にわたり多数決信号31を出力する。

ところでシーケンス回路25が縮小率に応じてクロック無効信号32(第5図e)を出力すると、これがLレベルに変化した区間においてアンド回路33がクロック信号18の通過を阻止する。すなわち、この区間だけ出力クロック信号35(第5図h)が歯抜け状態となる。そして、続いて発生した縮小指示信号27(第5図f)によってデータセレクト28が縮小処理された画信号すなち多数決信号31の選択を行う。この結果、画信号34(第5図g)は、その区間で3つの連続した画信号 $n+1$ 、 $n+2$ 、 $n+3$ の多数決の結果としての信号状態となる。

後続する図示しない回路では、第5図gに示した画信号34を出力クロック信号35でサンプリングし、画素数が減少した(この図の部分では1画素分の減少)画信号を得ることになる。

ケンス回路75は例えばROMによって構成されており、計数値データ74と第3の入力端子53に供給された縮小指示信号76をアドレス情報として3種類の制御信号77~79を出力する。

このうち、2、3画素固定信号77は、第2のD・フリップフロップ58のプリセット端子PRの入力となると共に、第3のD・フリップフロップ59のクリア端子CLに入力される。また4、5画素固定信号78は、第4のD・フリップフロップ60のプリセット端子PRの入力となると共に、第5のD・フリップフロップ61のクリア端子CLに入力される。入力クロックマスク信号79はアンド回路71の他方の入力端子に供給され、クロック信号63のマスクに用いられる。この画像縮小回路では、多数決回路69から出力される画信号81をアンド回路71から出力されるクロック信号82でサンプリングしたものが、求める画信号となる。

以上のような画像縮小回路の動作の一例を次に第7図を用いて説明する。

「第2の実施例」

第6図は本発明の第2の実施例における画像縮小回路を表わしたものである。この画像縮小回路は3つの入力端子51~53と2つの出力端子54、55を備えている。第1の入力端子51に供給される画信号56は5段に接続されたD・フリップフロップ57~61によって順次シフトされるようになっている。このために、これらのD・フリップフロップ57~61のクロック入力端子CKには、各画素の転送を行うためのクロック信号63が入力されるようになっている。D・フリップフロップ57~61の出力端子Qに現われる1画素ずつ遅延された画信号64~68は多数決回路69に入力され、それらの多数決がとられる。

一方、第2の入力端子52に供給されたクロック信号63は2入力アンド回路71の一方の入力になる他、インバータ72によって論理を反転されてカウンタ回路73に供給され、ここでクロック数が計数される。この結果得られた計数値データ74はシーケンス回路75に供給される。シー

この第2の実施例の画像縮小回路では、 $1/5$ までの縮小が可能な構成となっているが、第7図では $3/10$ の縮小が行われる場合を示している。同図aはクロック信号63の発生タイミングを表わしており、これに同期して同図b~fに示すように画信号64~68が1画素ずつずれながら出力されることになる。

ところで、一般に q/p ($< 1/2$) の縮小を行う場合、本発明ではこれを分子が“1”となる1または複数の分数の組み合わせで実現する。これを一般的な式で表わすと次のようになる。

$$\frac{1}{n} \left(\geq \frac{q}{p}, n > 2 \right), \frac{1}{n-1}, \dots, \frac{1}{1}$$

但し、ここで n 、 p 、 q はそれぞれ整数である。

この実施例のように q/p が $3/10$ の場合には、これは例えば $1/3$ 、 $1/3$ 、 $1/4$ の組み合わせとなる。また例えば q/p が $3/7$ とすると、これは一例として $1/2$ 、 $1/2$ 、 $1/3$ の

組み合わせとすることができる。

すなわちこの実施例の場合には、先の第3図に示したようにまず3画素を1画素に変更するような制御が行われる。このとき、縮小指示信号76はこのような制御内容を示す信号となる。この結果、シーケンス回路75はクロック信号63を3画素分カウントする時点でHレベルの入力クロックマスク信号79-1を発生させ(第7図i)、この区間だけクロック信号63をクロック信号82-1(第7図j)として出力させることになる。このとき、画信号は3画素分についての多数決が行われる。そこで、そのタイミングで4、5画素固定信号78(第7図h)がHレベルに変化し、第4および第5のD・フリップフロップ60、61の出力が固定され、3つの画信号64~66(第7図b~d)の多数決がとられる。ここで出力が固定されたとは、それらの出力(この場合には画信号67、68)がHレベルとLレベルに同数ずつ分かれ、多数決に影響を与えないことをいう。多数決をとられた結果としての画信号

81-1(第7図k)は、出力端子54から出力されることになる。

次の4画素分については、縮小指示信号76が4画素から1画素を作成するような指示を与える。この結果、シーケンス回路75はクロック信号63を4画素分カウントする時点でHレベルの入力クロックマスク信号79-2を発生させ、この区間だけクロック信号63をクロック信号82-2として出力させることになる。このとき、画信号は4画素分に1画素分を足した5画素分についての多数決が行われる。これは、偶数個の画素で引き分けが行われる事態を回避するためである。

この多数決が行われるとき4、5画素固定信号78はLレベルになっている。従って、第4および第5のD・フリップフロップ60、61の出力は固定されておらず、5つの画信号64~68の多数決がとられる。多数決をとられた結果としての画信号81-2は、出力端子54から出力される。

最後の3画素分については、先の3画素分と同様な制御が行われ、画信号81-3とクロック信号82-3がそれぞれ出力されることになる。

なお、1ラインで縮小処理の行われない部分では、2、3画素固定信号77とは共にHレベルとなり、多数決は否定される。すなわちこのときには常に2画素がHレベル、他の2画素がLレベルに固定され、画信号64の信号状態がそのまま多数決回路69の出力する画信号81となる。このようにこの第2の実施例では q/p が $3/10$ の場合を例に挙げて説明したが、これはライン方向で最大 $3/10$ の縮小が行われることを意味するものであり、このような処理を行う割合を変化させれば、縮小率をこれよりも緩やかな範囲で如何様にも設定することができる。

以上第1および第2の実施例ではD・フリップフロップ回路を用いて画信号の縮小処理を行ったが、シフトレジスタを用いたりランダム・アクセス・メモリ等の他の回路素子を用いても同様の処理を行うことができる。また第1の実施例では3

画素分について無条件に多数決を行ったが、2画素を1画素に変更する場合には、この2画素で1画素の信号状態を決定することができない場合のみ1画素分の画情報を加え、3画素について多数決を行うようにしてもよい。

「発明の効果」

このように第1の発明によれば、2画素あるいは3画素分の画情報から1画素分の画情報を作成する際に3画素分の画情報を基に多数決で信号状態を決定したので、比較的簡単な回路構成で良好な縮小画像を得ることができる。

また第2の発明によれば、縮小率の自由度が増し、しかも複数の画素から1画素を作成する際に多数決の原理を使用したので、有効な情報の欠落が少なくなり、画質の良好な画像を得ることができる。

しかも、いずれの発明においても白の画素から黒の画素に変化する点のように画情報の変化する部分を一々検出しながら画像処理を行う処理方法と比べるとハードウェアがはるかに簡単となり、

処理のための時間が短縮されるという効果もある。

4. 図面の簡単な説明

第1図および第2図は第1の発明における多数決原理をそれぞれ説明するための説明図、第3図は第2発明における多数決原理を説明するための説明図、第4図は第1の発明を説明するための第1の実施例における画像縮小回路の要部を示すブロック図、第5図はこの第1の実施例における各部の動作を示すタイミング図、第6図は第2の発明を説明するための第2の実施例における画像縮小回路の要部を示すブロック図、第7図はこの第1の実施例における各部の動作を示すタイミング図、第8図は2画素から1画素ずつ強制的に削除して画像の縮小を行う従来の方法を示す説明図、第9図は2画素の信号状態の論理和をとって画像の縮小を行う従来の方法を示す説明図である。

- 1 …… (縮小処理前の) 画素、
- 2、3 …… (縮小処理後の) 画素、
- 12、34、56、81 …… 画信号、
- 16、69 …… 多数決回路、

- 18、63 …… クロック信号、
- 23 …… 線密度指定信号、
- 25、75 …… シーケンス回路、
- 28 …… データセクタ、
- 33、71 …… アンド回路、
- 76 …… 縮小指示信号、
- 77 …… 2、3画素固定信号、
- 78 …… 4、5画素固定信号。

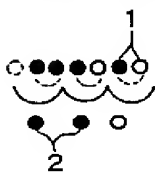
出 願 人

富士ゼロックス株式会社

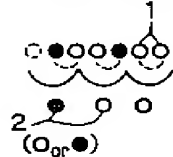
代 理 人

弁理士 山 内 梅 雄

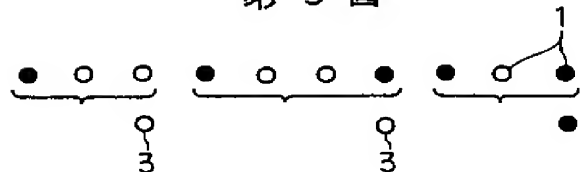
第 1 図



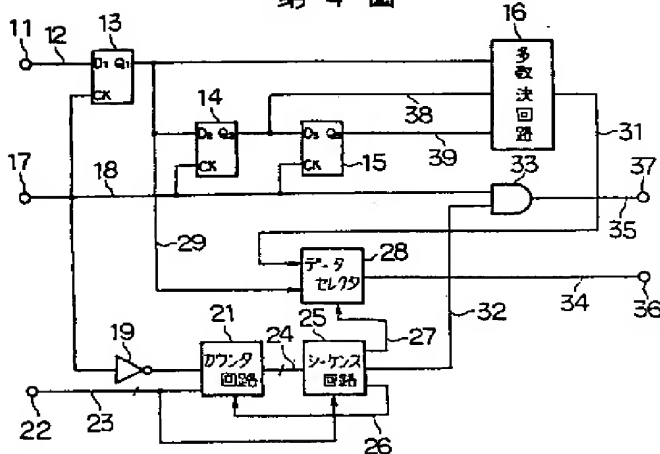
第 2 図



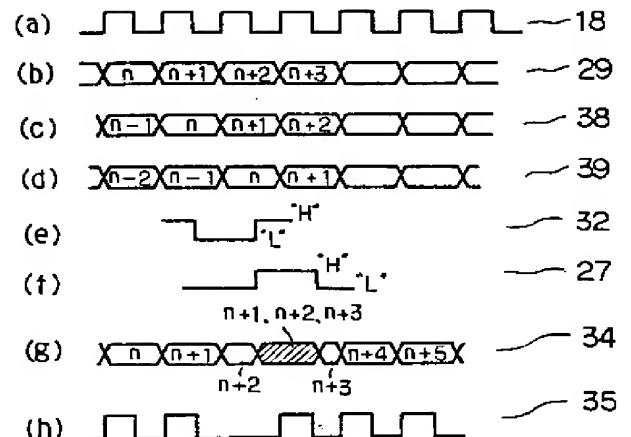
第 3 図



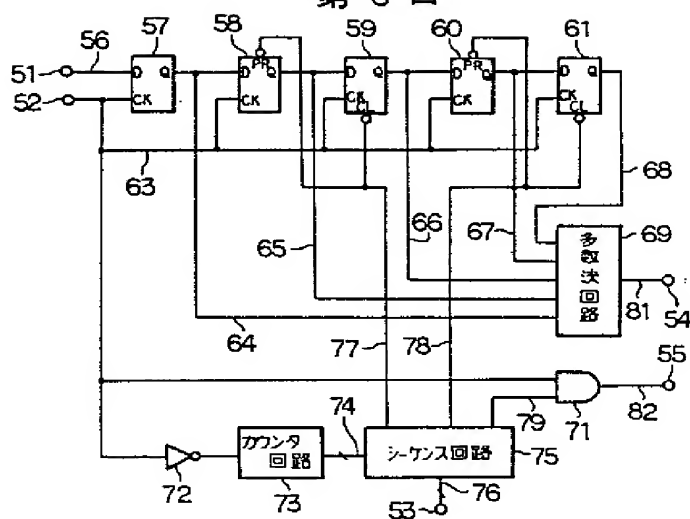
第 4 図



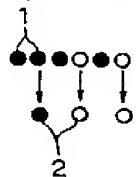
第 5 図



第 6 図



第 8 図



第 9 図



第 7 図

